

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005 年 8 月 18 日 (18.08.2005)

PCT

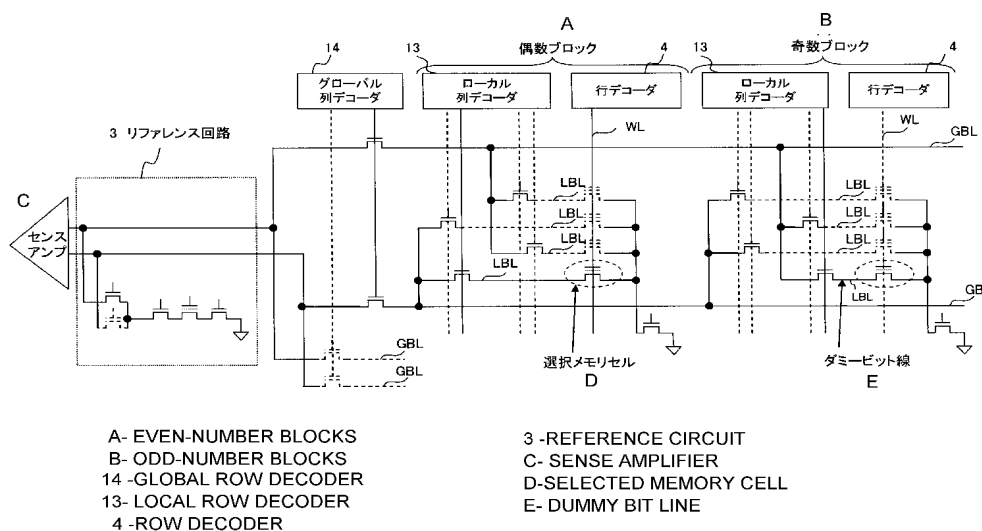
(10) 国際公開番号  
WO 2005/076282 A1

- (51) 国際特許分類: G11C 29/00, 16/28 (72) 発明者; および  
(21) 国際出願番号: PCT/JP2005/001890 (75) 発明者/出願人 (米国についてのみ): 渡邊 雅彦 (WATANABE, Masahiko) [JP/JP]; 〒6391061 奈良県生駒郡安堵町東安堵 5 5-1-3 0 6 Nara (JP). 森 康通 (MORI, Yasumichi) [JP/JP]; 〒6300121 奈良県生駒市辻町 6 3 5-1-5 0 2 Nara (JP).  
(22) 国際出願日: 2005 年 2 月 9 日 (09.02.2005)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ: 特願2004-033915 2004 年 2 月 10 日 (10.02.2004) JP (74) 代理人: 政木 良文 (MASAKI, Yoshifumi); 〒5410042 大阪府大阪市中央区今橋 4 丁目 3 番 6 号 淀屋橋 N A O ビル 7 F Osaka (JP).  
(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP). (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,

[ 続葉有 ]

(54) Title: SEMICONDUCTOR STORAGE DEVICE

(54) 発明の名称: 半導体記憶装置



(57) Abstract: A semiconductor storage device includes one or more memory planes (8) having a plurality of memory blocks (9) arranged. A block selection circuit decodes a block address signal for selecting a memory block (9) from the memory plane (8) and selects a memory block. When a defective block is contained in the memory plane, the block selection circuit performs a predetermined logic operation on a particular partial bit in each address bit of the selected block address and generates a dummy block address for selecting a dummy block which is different from the selected block address and the defective block address. A bit line connected to a selected memory cell selected by the selected block address and a bit line in the dummy block are connected to a differential input terminal of a sense amplifier (9).

(57) 要約: 本発明の半導体記憶装置は、メモリブロック 9 を複数配列してなるメモリプレーン 8 を 1 または複数備え、メモリプレーン 8 内からメモリブロック 9 を選択するためのブロックアドレス信号をデコードしてメモリブロックを選択するブロック選択回路が、メモリプレーン内に不良ブロックが含まれる場合に、選択ブロックアドレスの各アド

[ 続葉有 ]



WO 2005/076282 A1



ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

レスビットの内の特定の部分ビットを対象とする所定の論理操作によって、選択ブロックアドレス及び不良ブロックの不良ブロックアドレスの何れとも異なるダミーブロックを選択するためのダミーブロックアドレスを生成する。選択ブロックアドレスで選択される選択メモリセルが接続するビット線と、ダミーブロック内のビット線を夫々センスアンプ回路9の差動入力端子に接続する。

## 明 細 書

### 半導体記憶装置

### 技術分野

[0001] 本発明は、半導体記憶装置に関し、特に、メモリセルを行方向及び列方向に複数アレイ状に配列し、同一列の前記メモリセルを共通のビット線に接続してメモリブロックを形成し、前記メモリブロックを前記列方向に複数配列してなるメモリプレーンを1または複数備え、前記メモリプレーン上を前記列方向に延伸する少なくとも2本のグローバルビット線を備え、前記各グローバルビット線が前記各メモリブロックの1または複数列の前記ビット線と夫々のビット線選択素子を介して接続可能に構成されてなる半導体記憶装置に関し、更に詳細には、半導体記憶装置のメモリセルに流れる電流を検知して、その記憶状態を高速に判定する読み出し技術に関する。

### 背景技術

[0002] 半導体記憶装置においては、そのメモリセルの記憶状態を読み出すために、様々な手法が利用されている。不揮発性の半導体記憶装置の1つであるフラッシュメモリを例に説明する。フラッシュメモリは、各メモリセルがフローティングゲート構造のメモリトランジスタを備えて構成され、各メモリセルのフローティングゲートに注入された電荷（電子）の蓄積量に従って情報を記憶している。具体的には、フローティングゲートに電子が多く注入されている状態においては、チャネル領域には反転層が形成されにくく、このためメモリセルの閾値電圧は高くなる（プログラム状態と定義する）。一方、フローティングゲートから電子が放出されている状態では、チャネル領域には反転層が形成されやすく、このメモリセルの閾値電圧は低くなる（消去状態と定義する）。選択したメモリセルの状態が上記プログラム状態か上記消去状態かを高速に判定するために、プログラム状態と消去状態の中間の閾値電圧を有するリファレンスメモリセルを用意して差動入力型のセンスアンプ回路に入力する。

[0003] ここで、図8に示すように、上述のような階層的なビット線構造のメモリブロックを列方向に複数配列してなるメモリプレーンを有する半導体記憶装置において、メモリプレーン内の1つのメモリブロック内から読み出し対象のメモリセル（選択メモリセル、図8

中○印で模式的に表示)を選択し、その記憶データをメモリプレーンに隣接して設けられた差動入力型のセンスアンプ回路で読み出す場合に、センスアンプ回路の2つの入力端子の一方側に、メモリブロック内の選択メモリセルに接続する選択ビット線及び選択ビット線に接続するグローバルビット線を介して、選択メモリセルを接続し、前記入力端子の他方側に、リファレンスメモリセル(図8中●印で模式的に表示)を接続する。リファレンスメモリセルは、選択メモリセルの記憶状態によって変化するメモリセル電流の中間的なメモリセル電流となるようにその記憶状態(フラッシュメモリの場合は閾値電圧)が設定されている。

[0004] 更に、センスアンプ回路の2つの入力端子の負荷容量が等しくない場合、2つの入力端子を介して、選択メモリセル及びリファレンスメモリセルの各メモリセル電流を供給する過渡状態において、当該負荷容量を充電する過渡電流に差が生じ、選択メモリセル電流とリファレンスメモリセル電流の電流差が正確に、センスアンプ回路の2つの入力端子の電圧差となって現れないという不都合が生じ高速読み出し動作の障害となるため、当該読み出し時の過渡応答特性を改善するために、センスアンプの2つの入力端子に接続するグローバルビット線に寄生する負荷容量を平衡させる試みがなされている。

[0005] 例えば、下記特許文献1に開示されている不揮発性半導体記憶装置では、図3に示すように、センスアンプ回路のリファレンスメモリセル側の入力端子に、選択メモリセルと連通しない別のグローバルビット線(以下適宜、「ダミーグローバルビット線」と称す。)を接続するとともに、選択メモリセルを含まない他のメモリブロック(以下適宜、「ダミーブロック」と称す。)内のビット線(以下適宜、「ダミービット線」と称す。)を1つ選択して、該ダミーグローバルビット線に接続して、センスアンプ回路の2つの入力端子に接続するグローバルビット線に寄生する負荷容量を平衡化している。かかる構成により、センスアンプ回路の各入力端子には、夫々1つのグローバルビット線の寄生容量と1つのビット線の寄生容量が等しく付加され、全体的な負荷容量の平衡化が実現される。尚、ダミーブロックは、通常、グローバルビット線に寄生する寄生抵抗を考慮して選択されたメモリブロックに隣接するメモリブロックが一定のルールに従って選択される。図3は、図8のメモリプレーン構造をより具体的に示す概略的な回路図であ

り、選択メモリセルとダミービット線の選択される様子を模式的に示している。尚、図3において、破線は非選択状態または非導通状態を示している。

[0006] 特許文献1:特開2003-77282号公報

発明の開示

発明が解決しようとする課題

[0007] ところで、一般的な半導体記憶装置においては、半導体基板内の欠陥や製造工程途中におけるパーティクルの存在によって一部のメモリセルが正常に動作しない不良メモリセルが存在する。従って、全てのメモリセルが正常に動作する完全良品だけを良品とすると製造歩留りが低下するために、一般に、不良メモリセルをテスト時に冗長救済する方法が採られている。

[0008] 一般的に用いられている冗長救済技術として、メモリセルアレイ中の不良メモリセルを含む不良ロー(行)または不良コラム(列)、或いは、ローまたはコラム全体が不良の不良ローまたは不良コラムを、予めメモリセルアレイの周辺部に所定本数が用意された冗長ローまたは冗長コラムと置換する方法がある。この場合、不良ローアドレス及び不良コラムアドレスを不良アドレス記憶手段に記憶しておき、外部から入力されたアドレスの当該アドレス部分を記憶された不良ローアドレス及び不良コラムアドレスと比較し、一致する場合に、冗長ローまたは冗長コラムが自動的に選択されるようにする。

[0009] ローまたはコラム救済では、メモリセル単位や行方向または列方向に沿って発生する不良モードに対しては有効な救済方法であるが、冗長ローまたは冗長コラムの本数によって救済可能なローまたはコラムが限定され、製造プロセスの微細化に伴って発生頻度が高くなる、パーティクル起因の多ビット連続不良(複数の不良メモリセルが連続した塊となって不良となる)等に対しては、有効な救済手段ではない。

[0010] そこで、一定単位の複数のメモリセルからなるメモリブロックを救済単位として、該メモリブロックを一括して救済するブロック冗長救済方式がある。当該ブロック冗長救済方式であれば、上記パーティクル起因の多ビット連続不良等を効果的に救済でき、製造歩留りを向上させることができる。

[0011] 通常のブロック冗長救済では、選択メモリセルを含むメモリブロックが不良ブロックで

ある場合に、正常な読み出しを確保するために不良ブロックを選択せずに、予めテスト時において置換された冗長メモリブロックを選択して、その中の同じアドレス位置のメモリセルを選択するという処理を行う。しかしながら、上述の特許文献1に開示されているように、センスアンプ回路のリファレンスメモリセル側の入力端子に、ダミーグローバルビット線及びダミービット線を選択する方式において、当該不良ブロックが、ダミービット線を選択するためにダミーブロックとして選択される可能性がある。つまり、外部から入力された外部ブロックアドレスが不良ブロックのブロックアドレスと一致するかを検知し、一致する場合に不良ブロックを冗長ブロックと置換する処理を行う方式では、ダミービット線の選択のため不良ブロックが選択されるときに外部ブロックアドレスは、正常なメモリブロックのブロックアドレスであるため、不良ブロックは冗長ブロックと置換されずに、そのまま選択される。もし、不良ブロック内の欠陥が選択されたダミービット線と関連する場合は、その影響がセンスアンプ回路のリファレンスメモリセル側の入力端子に反映されるため、正常なメモリブロックの正常な読み出し動作が阻害され、正常なメモリブロックが、同じメモリプレーン内の不良ブロックのために不良ブロック化するという問題が生じる。

[0012] また、外部ブロックアドレスの値に拘らず、常に不良ブロックへのアクセスを禁止する処置がテスト時になされる構成や、不良ブロックと冗長ブロックが常時置換状態にするような構成の場合は、ダミーブロックが選択されない場合が生じ、センスアンプ回路の2つの入力端子間の負荷容量が不均等になって、過渡応答特性が悪化して高速読み出し動作が阻害される。

[0013] 本発明は、上記問題点に鑑みてなされたもので、その目的は、センスアンプ回路の差動入力端子間の負荷容量の平衡化処理における不良ブロックの影響を排除し、高速且つ安定した読み出し動作を可能とする半導体記憶装置を提供することにある。

#### 課題を解決するための手段

[0014] 上記目的を達成するための本発明に係る半導体記憶装置は、メモリセルを行方向及び列方向に複数アレイ状に配列し、同一列の前記メモリセルを共通のビット線に接続してメモリブロックを形成し、前記メモリブロックを前記列方向に複数配列してなるメ

メモリプレーンを1または複数備え、前記メモリプレーン上を前記列方向に延伸する少なくとも2本のグローバルビット線を備え、前記各グローバルビット線が前記各メモリブロックの1または複数列の前記ビット線と夫々のビット線選択素子を介して接続可能に構成されてなる半導体記憶装置であって、読み出し動作時に、読み出し対象の選択メモリセルに接続する前記ビット線を前記ビット線選択素子の1つを導通状態にして前記グローバルビット線の1つに接続して、前記選択メモリセルを含む選択メモリブロックを選択するとともに、前記選択メモリブロックとは別のメモリブロック内の1つの前記ビット線を前記ビット線選択素子の他の1つを導通状態にして前記グローバルビット線の他の1つに接続して、前記別のメモリブロックをダミーブロックとして選択するブロック選択回路を備え、前記ブロック選択回路が、前記1または複数のメモリプレーン内に不良ブロックが含まれる場合に、前記選択ブロックアドレスの各アドレスビットの内の特定の部分ビットを対象とする所定の論理操作によって、前記選択ブロックアドレス及び前記不良ブロックの不良ブロックアドレスの何れとも異なる前記ダミーブロックを選択するためのダミーブロックアドレスを生成することを第1の特徴とする。ここで、前記ブロック選択回路は、前記選択メモリブロックを含む前記メモリプレーン内に不良ブロックが含まれる場合に、前記選択ブロックアドレスの各アドレスビットの内の特定の部分ビットを対象とする所定の論理操作によって、前記選択ブロックアドレス及び前記不良ブロックの不良ブロックアドレスの何れとも異なる前記ダミーブロックを選択するためのダミーブロックアドレスを生成するようにしても構わない。

- [0015] 上記第1の特徴を備えた本発明に係る半導体記憶装置によれば、前記選択メモリブロックを含む前記メモリプレーン内に不良ブロックが含まれる場合には必ず、ダミーブロックとして不良ブロックが選択されるのを回避でき、且つ、不良ブロック及び選択されたメモリブロック以外のメモリブロックがダミーブロックとして適正に選択されるため、2本のグローバルビット線の一方に選択されたメモリブロックの選択メモリセルの接続するビット線が接続し、他方にダミーブロック内の1つのビット線(ダミービット線)が接続し、2本のグローバルビット線の負荷容量が均等になり、当該2本のグローバルビット線の電圧差或いは電流差を差動センスする場合に、2本のグローバルビット線の負荷容量差による過渡応答特性の劣化が回避できる。この結果、不良ブロックの影

響を排除して高速且つ安定な読み出し動作を実行できる。

- [0016] 本発明に係る半導体記憶装置は、第1の特徴に加えて、前記メモリプレーン内の1つの前記メモリブロックが不良ブロックである場合にブロック単位で冗長ブロックと置換して不良救済可能に構成されていることを第2の特徴とする。
- [0017] また、上記第2の特徴を備えた本発明に係る半導体記憶装置によれば、不良ブロックがダミーブロックとして選択される場合だけでなく、選択メモリブロックとして選択される場合にも、冗長ブロックと置換して正常な読み出し動作を行うことができる。
- [0018] 尚、本発明のダミーブロック選択方式は、不良ブロックの存在を許容するため、単に不良ブロックへのアクセスを禁止するだけで、冗長ブロックと置換せずに、本来のメモリ容量の一部領域だけを有効として使用する部分良品にも適用可能である。
- [0019] 本発明に係る半導体記憶装置は、第1または第2の特徴に加えて、前記ブロック選択回路が、前記選択ブロックアドレスの前記特定の部分ビットの1ビット以上を対象として第1の論理操作を行ない、前記ダミーブロックを選択するためのダミーブロックアドレスを生成し、前記第1の論理操作により生成される前記ダミーブロックアドレスが前記不良ブロックアドレスと一致する場合に、前記選択ブロックアドレスの前記特定の部分ビットの他の1ビット以上を対象として第2の論理操作を行ない、前記ダミーブロックアドレスを生成することを、第3の特徴とする。ここで、前記ダミーブロックアドレスと前記不良ブロックアドレスとの一致は、前記第1の論理操作に係る前記特定の部分ビットの1ビット以上を除く他のアドレスビットを対象として、前記選択ブロックアドレスと前記不良ブロックアドレスとの一致により判定するのが好ましい。
- [0020] 本発明に係る半導体記憶装置は、第1または第2の特徴に加えて、前記ブロック選択回路が、前記選択ブロックアドレスの前記特定の部分ビットの1ビット以上の所定ビットを対象として第1の論理操作を行ない、前記不良ブロックアドレスの前記特定の部分ビットの前記所定ビット以外の1ビット以上を対象として第2の論理操作を行ない、前記ダミーブロックアドレスを生成することを、第4の特徴とする。
- [0021] また、上記第3または第4の特徴を備えた本発明に係る半導体記憶装置によれば、不良ブロックが存在する場合は、1つのメモリプレーンを構成するメモリブロックの内の一部メモリブロックを対象として、第1の論理操作と第2の論理操作を行うことで、不



良ブロックアドレスとダミーブロックアドレスを異ならせることができるため、ダミーブロックとして不良ブロックが選択されるのを回避でき上記第1の特徴の作用効果を奏することができる。また、一部のメモリブロックを対象とすることで、使用する部分ビットを適切に選択することで、ダミーブロックと選択されたメモリブロックの物理的な距離を所定範囲内に維持できるので、選択ビット線とダミービット線の物理的な距離を当該所定範囲内に維持でき、グローバルビット線の寄生抵抗の影響を抑制でき、過渡応答特性の劣化を回避できる。

[0022] 尚、上記第3の特徴においては、第1の論理操作を不良ブロックが存在しない場合のダミーブロックの選択操作とすることができ、隣接する2つのメモリブロックにおいて選択ビット線とダミービット線を選択可能となる。

[0023] また、上記第4の特徴においては、第2の論理操作により、ダミーブロックアドレスの部分ビットの一部が必ず不良ブロックアドレスの当該アドレスビットと異なる。尚、不良ブロックの有無に拘らず、つまり、不良ブロックがない場合は、デフォルトの不良ブロックを用いて、不良ブロックの存在を検知することなく一律に同じ処理を行うことができる。或いは、不良ブロックが何れかのメモリプレーンに存在する場合でも、あるメモリブロックが選択されている状態で、ダミーブロックとして不良ブロックが選択されるか否かに拘らずに一律に同じ処理を実行すればよい。

[0024] 本発明に係る半導体記憶装置は、更に、上記何れかの特徴に加えて、前記部分ビットのビット数が2であることを第5の特徴とし、更に、前記論理操作がアドレスビットの反転操作であることを第6の特徴とする。

[0025] 上記第5の特徴を備えた本発明に係る半導体記憶装置によれば、第1の論理操作と第2の論理操作の対象となる一部のメモリブロックの個数が最小限の4つであるので、必ずダミーブロックとして不良ブロック及び選択されたメモリブロック以外のメモリブロックを選択でき、しかも、使用する部分ビットを適切に選択することで、ダミーブロックと選択されたメモリブロック間の間隔を最大2つのメモリブロック分に制限でき、グローバルビット線の寄生抵抗の影響を抑制でき、過渡応答特性の劣化を回避できる。

[0026] 上記第6の特徴を備えた本発明に係る半導体記憶装置によれば、極めて簡単な論

理操作で、上記第1の論理操作と第2の論理操作を実現でき、簡単な回路構成により、上記第1の特徴の作用効果を奏することができる。

[0027] 本発明に係る半導体記憶装置は、更に、上記何れかの特徴に加えて、前記メモリブロックを選択するブロックアドレスの前記特定の部分ビットの組み合わせで選択される複数のメモリブロックが連続して隣接するサブメモリプレーンを形成することを第7の特徴とする。

[0028] 上記第7の特徴を備えた本発明に係る半導体記憶装置によれば、ダミーブロックと選択されたメモリブロック間の間隔が不必要に離間するのを回避でき、グローバルビット線の寄生抵抗の影響を抑制でき、過渡応答特性の劣化を回避できる。

[0029] 本発明に係る半導体記憶装置は、更に、上記何れかの特徴に加えて、前記選択メモリブロック内の前記ビット線と接続する前記グローバルビット線の1つが直接或いはグローバルビット線選択素子を介して差動入力型のセンス回路の一方入力側に接続し、前記ダミーブロック内の前記ビット線と接続する前記グローバルビット線の他の1つが直接或いはグローバルビット線選択素子を介して前記センス回路の他方入力側に接続し、前記センス回路の入力または前記1対のグローバルビット線の何れか一方にリファレンスメモリセルを選択的に接続させるリファレンス回路を備え、読み出し動作時に、前記センス回路の前記ダミーブロック側の入力に前記リファレンスメモリセルが接続されることを第8の特徴とする。

[0030] 上記第8の特徴を備えた本発明に係る半導体記憶装置によれば、具体的に上記第1の特徴及び他の特徴の作用効果を奏する読み出し動作を実現する半導体記憶装置を提供することができる。

#### 図面の簡単な説明

[0031] [図1]本発明に係る半導体記憶装置の一実施形態における概略構成を示すブロック図

[図2]本発明に係る半導体記憶装置の一実施形態におけるメモリアレイ構成を模式的に示すブロック図

[図3]本発明に係る半導体記憶装置の一実施形態におけるメモリプレーン構造の一例を示す概略回路図

[図4]本発明に係る半導体記憶装置の一実施形態における主ブロックデコーダと副ブロックデコーダの回路構成の一例を示す回路図

[図5]本発明に係る半導体記憶装置の一実施形態における主ブロックデコーダと副ブロックデコーダの論理処理を示す真理値表

[図6]本発明に係る半導体記憶装置の一実施形態における不良ブロック検出回路の一例を示す回路図

[図7]本発明に係る半導体記憶装置における不良ブロックを冗長ブロックと置換するための回路構成の一例を示す回路図

[図8]従来の半導体記憶装置における選択メモリブロックとダミーブロックとの位置関係の一例を説明する図

#### 符号の説明

- [0032] 1 本発明に係る半導体記憶装置
- 2 主メモリアレイ
- 2a メモリアレイ本体部
- 3 リファレンス回路
- 4 行デコーダ
- 5 列デコーダ
- 6 バイアス電圧印加回路
- 7 センスアンプ回路
- 8 メモリプレーン
- 9 メモリブロック
- 10 ビット線選択素子
- 11 グローバルビット線選択素子
- 12 ブロック選択素子
- 13 ローカル列デコーダ
- 14 グローバル列デコーダ
- 15 主ブロックデコーダ
- 16 副ブロックデコーダ

17 不良ブロック検出回路  
18 不良ブロックアドレス記録回路  
19 アドレス変換回路  
20 プレーンデコーダ回路  
GBL グローバルビット線  
LBL ビット線  
WL ワード線  
BA0〜3 ブロックアドレス  
BSA0〜3 ブロック選択信号  
BSB0〜3 ブロック選択信号  
Sbbd 不良ブロック検出信号  
PSEL0〜7 プレーン選択信号

#### 発明を実施するための最良の形態

- [0033] 本発明に係る半導体記憶装置(以下、適宜「本発明装置」という。)の一実施の形態につき、図面に基づいて説明する。
- [0034] 本発明装置1は、図1に示すように、主メモリアレイ2、リファレンス回路3、行デコーダ4、列デコーダ5、バイアス電圧印加回路6、センスアンプ7等を備えて構成される。尚、図示しないが、必要なアドレス信号や読み出し制御信号(チップイネーブル信号、出力イネーブル信号等)が別途夫々の入力回路を介して各部に供給される。また、センスアンプ7の出力Doutは、所定の出力回路を介して外部に出力される。
- [0035] 主メモリアレイ2は、例えば、図2に示すように、複数のメモリプレーン8で構成され、各メモリプレーン8は、メモリセルを行方向及び列方向に複数アレイ状に配列してなるメモリブロック9を列方向に複数配列して構成される。本実施形態では、メモリセルとしてフローティングゲート型FET構造のフラッシュメモリトランジスタを備えてフラッシュメモリセルとして構成される場合を想定する。従って、メモリセルはその記憶状態を、フローティングゲートに蓄積される電子の多寡で設定し、その記憶状態が、メモリトランジスタの閾値電圧の差となって現れる。
- [0036] 図3に示すように、各メモリブロック9内では、同一列の各メモリセルのドレイン端子を

共通のビット線LBLに接続し、同一行の各メモリセルのゲート端子を共通のワード線WLに接続し、ビット線LBLとワード線WLの選択により任意のメモリセルが選択可能な構成となっている。更に、メモリプレーン8上を列方向に延伸する少なくとも1対(図3の場合は2対)のグローバルビット線GBLを備え、各グローバルビット線GBLが各メモリブロック9の1または複数列(図3の場合は2列)のビット線LBLと夫々のビット線選択素子10を介して接続可能に構成されている。つまり、階層的なビット線構造が採用されている。具体的には偶数番目の各メモリブロック9の偶数列と奇数番目の各メモリブロック9の奇数列のビット線LBLが一方のグローバルビット線GBLに接続し、偶数番目の各メモリブロック9の奇数列と奇数番目の各メモリブロック9の偶数列のビット線LBLが他方のグローバルビット線GBLに接続する構成となっている。また、グローバルビット線GBLは、グローバルビット線選択素子11を介して、何れか1対が選択的にバイアス電圧印加回路6及びセンスアンプ回路7に接続する。更に、同一メモリブロック内の各メモリセルはブロック選択素子12を介して同一のソース線に接続し、ブロック単位で一括消去可能に構成されている。

[0037] 尚、図2に示すブロック構成例では、主メモリアレイ2のメモリ本体部2a内のメモリプレーン数が8で、各メモリプレーン8内のメモリブロック数が16であるので、総メモリブロック数は128となり、メモリアレイ本体部2aから1つのメモリブロック9を選択するのに必要なブロックアドレス数は7ビットである。そのアドレスビットの内、上位の3ビットをメモリプレーン選択用のプレーンアドレスとし、下位の4ビットを各メモリプレーン8内の16のメモリブロック9の1つを選択するブロックアドレスと規定する。以下、特に断らない限り、下位の4ビットのブロックアドレスを、単にブロックアドレスと称す。尚、メモリアレイ本体部2aのメモリプレーン分割数及び各メモリプレーン8内のブロック分割数は一例であり、図2の例に限定されるものではない。図3では、簡略的に、メモリブロック9内の各ビット線LBLには1つのメモリセルだけが接続している状態を示しているが、実際のメモリブロックでは、1つのビット線LBLは複数のメモリセルが並列に接続し、所謂NOR型のメモリセルアレイを構成している。また、図2及び図3における列方向は、図中の左右方向である。

[0038] リファレンス回路3は、主メモリアレイ2のメモリセルと同じ構造のフラッシュメモリセル

からなるリファレンスメモリセルを備えて構成される。2値メモリの場合は、主メモリアレイ2のメモリセルの閾値電圧は、データの0/1に応じて高閾値電圧と低閾値電圧に、所定のフラッシュメモリの書き込み回路で設定されデータの書き込みが実行される。従って、主メモリアレイ2のメモリセル電流は、当該閾値電圧の高低に応じて変化するが、リファレンスメモリセルの閾値電圧は、データの0/1に応じた2つのメモリセル電流の中間的なメモリセル電流となるようにテスト時に調整される。

[0039] 行デコーダ4と列デコーダ5は、外部から入力されたアドレス信号に応じて、前者が主メモリアレイ2内のメモリセルを行方向に沿って選択し、後者が主メモリアレイ2内のメモリセルを列方向に沿って選択し、主メモリアレイ2の中から読み出し対象のメモリセルを選択する回路である。以下、読み出し動作のために選択されたメモリセルを選択メモリセルと呼ぶ。

[0040] より具体的には、行デコーダ4と列デコーダ5は、その一部または全部がメモリプレーン8毎に各別に設けられており、図3では、行デコーダ4によって、選択メモリセルを含む選択メモリブロックに対して、選択メモリセルに接続するワード線WLが選択され、当該選択ワード線が所定の選択レベルに駆動される。また、列デコーダ5は、ビット線選択素子10を選択するローカル列デコーダ13とグローバルビット線選択素子11を選択するグローバル列デコーダ14に分割して構成される。本実施形態では、メモリブロック9は列方向に複数配列しているので、メモリプレーン8内で1つのメモリブロック9を選択するブロックデコーダは、1種の行デコード処理に該当する処理を実行するので、行デコーダ4の一部を構成するが、本実施形態では、当該ブロックデコーダを独立して扱う。また、主メモリアレイ2内から1つのメモリプレーン8を選択するプレーンデコーダも、列デコーダ5の一部を構成するが、本実施形態では、当該プレーンデコーダを独立して扱う。

[0041] バイアス電圧印加回路6は、グローバル列デコーダ14で選択された1つのグローバルビット線GBLの夫々を介して、選択メモリセルとリファレンスメモリセルにメモリセル電流を供給するために所定のバイアス電圧を印加する回路である。バイアス電圧印加回路6は、選択メモリセルとリファレンスメモリセルに供給するメモリセル電流の各メモリセルの設定閾値電圧の差で生じる電流差を電圧差に変換して次段のセンスアン

ブ回路7に入力する。尚、バイアス電圧印加回路6は、種々の回路構成が提案されており、本実施形態では、公知の回路構成を採用するものとし、詳細な回路構成の説明は割愛する。

[0042] 本実施形態では、センスアンプ回路7は差動入力型のセンスアンプを使用し、バイアス電圧印加回路6から入力される電圧差を差動増幅し、選択メモリセルの閾値電圧を検知し、その記憶データを読み出す。この差動入力型のセンスアンプも種々多数のものが実用化されており、本実施形態では、公知の回路構成を採用するものとし、詳細な回路構成の説明は割愛する。

[0043] 次に、本発明装置1の特徴部分である各メモリプレーン8の中から選択メモリブロックとダミーブロックを各別に選択するブロックデコーダについて説明する。尚、選択メモリブロックとは、選択メモリセルを含むメモリブロック9であり、ダミーブロックとは、同一のメモリプレーン8内の選択メモリブロック以外のメモリブロック9の中から、本発明に係るブロックデコーダで選択されるメモリブロック9である。以下の説明では、図2に示すように、メモリプレーン8内に16のメモリブロック9が存在する場合を例に説明する。

[0044] 図4に、選択メモリブロックを選択する主ブロックデコーダ15と、ダミーブロックを選択する副ブロックデコーダ16を示す。各ブロックデコーダ15、16には、4ビットのブロックアドレスBA0〜3が入力して、16通りのブロック選択信号BSA0〜15とBSB0〜15が生成される。各ブロックデコーダ15、16は何れも16個の論理積(AND)回路で構成されている。両ブロックデコーダ15、16の違いは、下位2ビットのBA0、1の入力の仕方が異なっている点である。主ブロックデコーダ15には、図5の真理値表が示すような入出力関係となるように、ブロックアドレスBA0〜3が入力されている。これに対し、副ブロックデコーダ16の最下位ビットBA0は、主ブロックデコーダ15と信号レベルが反転して入力される。また、下位2ビット目のBA1は、不良ブロック検出信号Sbbdとの排他的論理和(排他的OR)処理をして入力される。上位2ビットは主ブロックデコーダ15と同じである。尚、信号レベルの反転操作には、ある信号とその否定論理信号の入力を入れ替える操作も含まれる。

[0045] 不良ブロック検出信号Sbbdは、図6に示すように、主ブロックデコーダ15に入力す

るブロックアドレスの上位3ビットBA1〜3と不良ブロックアドレスの上位3ビットBBA0〜3との一致を検出する不良ブロック検出回路17から出力され、一致検出時に高レベルが出力される。尚、不良ブロックアドレスは、不良ブロックと冗長ブロックの置換処理時にも必要となるため、不良ブロックアドレス記録回路18(図7参照)に記憶されているものを利用する。不良ブロックアドレスは、不良ブロックのブロックアドレスであるが、不良ブロックが存在しない場合は、例えば、デフォルト状態として最上位アドレス“1111”を割り当てる。以上の構成により、不良ブロックが存在する場合は、不良ブロック検出信号Sbbdは高レベルとなり、上記排他的OR処理において、下位2ビット目のBA1は反転して副ブロックデコーダ16に入力される。図5に、不良ブロックが検出された場合と検出されない場合の両方について、ブロックアドレスBA0〜3とブロック選択信号BSB0〜15の関係を示す。

[0046] 例えば、選択メモリセルがブロックアドレス“0110”のメモリブロックで不良ブロックの不良ブロックアドレスが“0111”とした場合、選択メモリブロックを選択するためにブロックアドレス“0110”が主ブロックデコーダ15が入力すると、ブロック選択信号BSA6に対応するメモリブロックが選択される。一方、主ブロックデコーダ15に入力するブロックアドレス“0110”と不良ブロックアドレスが“0111”は上位3ビットが一致するため、不良ブロックが検出される。ここで、不良ブロックが検出されないとする、ブロック選択信号BSB7に対応する不良ブロックがダミーブロックとして選択されてしまう。しかし、不良ブロックが検出され不良ブロック検出信号Sbbdは高レベルとなるので、ダミーブロックとして、ブロック選択信号BSB5に対応するメモリブロックが選択され、不良ブロックが選択されるのが回避される。

[0047] 次に、各ブロック選択信号BSA0〜15とBSB0〜15の利用され方について簡単に説明する。ブロック選択信号BSA0〜15は、選択メモリブロックを選択するために用いられ、具体的には、選択メモリブロックのローカル列デコーダ13と行デコーダ4に入力される。選択されたローカル列デコーダ13は、選択メモリブロックの1つのビット線選択素子10を導通させて、選択メモリセルに接続するビット線を選択し、一方のグローバルビット線GBLに接続する。また、選択された行デコーダ4は1つのワード線WLを選択レベルに駆動して、当該選択ワード線に接続するメモリセルを選択する。プロ



ック選択信号BSB0〜15は、ダミーブロックを選択するために用いられ、具体的には、ダミーブロックのローカル列デコーダ13に入力される。ブロック選択信号BSB0〜15は、行デコーダ4には入力されず、従って、ダミーブロックのワード線WLは全て非選択状態である。即ち、ダミーブロックでは、ダミーブロックのローカル列デコーダ13で選択されたダミービット線が他方のグローバルビット線GBLに接続するだけである。

[0048] 以上の操作により、選択メモリセルが、グローバル列デコーダ14で選択された1対のグローバルビット線GBLの一方と、それに接続する選択メモリブロック内のビット線LBLとを介して、バイアス電圧印加回路6とセンスアンプ回路7に接続される。一方、副ブロックデコーダ16によって選択されたダミーブロック内の1つのダミービット線が、グローバル列デコーダ14で選択された1対のグローバルビット線GBLの他方側に接続し、グローバル列デコーダ14で選択された1対のグローバルビット線GBLの夫々に1つのビット線の寄生容量が等しく付加され、負荷容量の平衡化が図られる。また、ダミービット線が接続するグローバルビット線GBLには、リファレンスメモリセルが選択される。これにより、バイアス電圧印加回路6から選択メモリセルとリファレンスメモリセルにメモリセル電流が供給され、両メモリセルの設定された閾値電圧の違いによるメモリセル電流差が電圧差に変換され、その電圧差がセンスアンプ回路7で増幅検知される。

[0049] 以上により、本発明装置1によれば、選択メモリセルを含むメモリプレーン内に不良ブロックが含まれていても、ダミーブロックとして不良ブロックを選択することを回避でき、不良ブロック以外のダミーブロック内のビット線をダミービット線として選択してその寄生容量をグローバルビット線に付加でき、選択メモリセル側のグローバルビット線との総合的な負荷容量の平衡化が図れ、過渡応答特性に優れた高速且つ安定な読み出し動作が実現できる。更に、図5の真理値表より明らかなように、メモリプレーン内に含まれるメモリブロック数が、16から32、64、128と増加したとしても、選択メモリブロックとダミーブロックの論理距離は最大2ビットであるので、物理的な選択メモリブロックとダミーブロック間の距離は高々メモリブロック2つ分であり、グローバルビット線の寄生抵抗の影響を抑制できる。

- [0050] 次に、不良ブロックを冗長ブロックと置換して、所謂ブロック冗長救済する手順及び回路構成の一例について説明する。図7に示すように、外部から入力された外部ブロックアドレス(3ビットのプレーンアドレスと4ビットのブロックアドレス)は、アドレス変換回路19に入力する。アドレス変換回路19は、不良ブロックアドレスの各アドレスビットの状態(1または0)を記憶した不良ブロックアドレス記憶回路18から出力される7ビットの不良ブロックアドレスと冗長ブロックアドレス(例えば、“1111111”)との不一致部分について、入力された外部ブロックアドレスの当該アドレスビットを反転処理することにより内部ブロックアドレスに変換して出力する。
- [0051] アドレス変換回路19で変換された内部ブロックアドレスは、上位3ビットのプレーンアドレスがプレーンデコーダ回路20に入力し、8本のプレーン選択信号PSEL0〜7を出力する。プレーン選択信号PSEL0〜7の1つがプレーンアドレスの値に応じて所定の選択レベル(例えば、高レベル)を出力し、他の7つが非選択レベル(例えば、低レベル)を出力する。内部ブロックアドレスの下位4ビットのブロックアドレスは、主ブロックデコーダ15及び副ブロックデコーダ16に入力し、ブロック選択信号BSA0〜15とBSB0〜15を出力する。
- [0052] 以上の回路構成により、外部から入力されたプレーンアドレスとブロックアドレスはともに、アドレス変換回路19で変換されるので、同じメモリプレーン内の全てのメモリブロックが同時に他のメモリプレーン内に置換されることになる。従って、図7に示すように、内部ブロックアドレスがプレーンデコーダ回路20に入力する場合は、図6に示す不良ブロック検出回路17に入力すべきブロックアドレスの上位3ビットBA1〜3は外部ブロックアドレスの部分ビットである必要がある。もし、変換後の内部ブロックアドレスを使用する場合は、不良ブロックアドレスも変換後のものを使用する必要があるが、図7に示す回路構成であれば、変換後の不良ブロックアドレスが冗長ブロックアドレスであるので、敢えて、不良ブロック検出回路17用の不良ブロックアドレス記録回路18を設ける必要はない。
- [0053] 次に、本発明装置1の別実施の形態につき説明する。
- [0054] 〈1〉上記実施形態では、主ブロックデコーダ15と副ブロックデコーダ16は1段のデコーダで構成したが、プリデコーダとメインデコーダの2段構成としても構わない。例

例えば、主ブロックデコーダ15を、下位2ビットのプリデコーダと上位2ビットのプリデコーダと各プリデコーダのプリデコード信号をデコードするメインデコーダで構成し、また、副ブロックデコーダ16を下位2ビットのプリデコーダと上位2ビットのプリデコーダと各プリデコーダのプリデコード信号をデコードするメインデコーダで構成しても構わない。ここで、図5に示す真理値表の関係は維持されるとすれば、主ブロックデコーダ15と、副ブロックデコーダ16で上位2ビットのプリデコーダを共用することができる。

[0055] 〈2〉上記実施形態では、副ブロックデコーダ16に inputsするブロックアドレスの下位2ビット目のBA1に対する論理操作は、ブロックアドレスの上位3ビットBA1〜3と不良ブロックアドレスの上位3ビットBBA0〜3とが一致する場合に反転処理を行うという論理操作であったが、これに代えて、当該一致判定を行わずに、ブロックアドレスの下位2ビット目のBA1に代えて不良ブロックアドレスの下位2ビット目のBBA1を反転して入力しても構わない。

[0056] 〈3〉更に、上記実施形態及び上記各別実施形態において、副ブロックデコーダ16に inputsするブロックアドレスの下位2ビットのBA0とBA1の関係を入れ替えても構わない。

[0057] 〈4〉上記実施形態において、不良ブロック検出回路17は、ブロックアドレスの上位3ビットBA1〜3と不良ブロックアドレスの上位3ビットBBA0〜3との一致を検出する回路構成であるため、不良ブロックが他のメモリプレーンに存在する場合でも不良ブロック検出される場合があるが、かかるケースでも下位2ビット目のBA1を反転処理しても特に不都合は生じない。また、選択メモリブロックと同じメモリプレーン内に不良ブロックが存在する場合だけを検出するには、不良ブロック検出回路17にプレーンアドレスと不良ブロックの不良プレーンアドレスも入力する必要がある。

[0058] 〈5〉上記実施形態では、ブロックデコーダを、選択メモリブロックを選択する主ブロックデコーダ15と、ダミーブロックを選択する副ブロックデコーダ16に分割して構成したが、ブロックデコーダの構成はこれに限定されるものではない。例えば、選択メモリブロックとダミーブロックのローカル列デコーダ13を選択するブロック選択信号を生成する第1ブロックデコーダと、選択メモリブロックの行デコーダ4を選択するブロック選択信号を生成する第2ブロックデコーダに分割して構成しても構わない。この場合、第1

ブロックデコーダの出力するブロック選択信号の内の1つが、選択メモリブロックのローカル列デコーダ13を選択し、他の1つがダミーブロックのローカル列デコーダ13を選択する。従って、第1ブロックデコーダは常に2つの選択状態のブロック選択信号を出力するように構成される。尚、第2ブロックデコーダは、上記実施形態の主ブロックデコーダと同じ回路構成となる。

[0059] 〈6〉上記実施形態では、不良ブロックは冗長救済される場合を想定して説明したが、不良ブロックは単にアクセス禁止とし、正常ブロックを連続したアドレスとなるように外部アドレスをアドレス変換する形態の半導体記憶装置に対しても、本発明装置による不良ブロック回避の手法は有効である。

[0060] 〈7〉上記実施形態では、メモリセルとしてフラッシュセルを想定したが、メモリセルはこれに限定されるものではない。また、メモリセルは、記憶状態の違いがメモリトランジスタの閾値電圧の違いとなって現れるもの以外に、MRAM、OUM、RRAM等のように可変抵抗素子型のメモリセルであっても、同様の本発明のブロック置換処理は適用可能である。更に、本発明装置による不良ブロック回避の手法は、その他の半導体記憶装置にも適用可能である。

#### 産業上の利用可能性

[0061] 本発明の半導体記憶装置は、高速且つ安定した読み出し動作が可能な高性能半導体記憶装置に利用可能である。

## 請求の範囲

- [1]      メモリセルを行方向及び列方向に複数アレイ状に配列し、同一列の前記メモリセルを共通のビット線に接続してメモリブロックを形成し、前記メモリブロックを前記列方向に複数配列してなるメモリプレーンを1または複数備え、前記メモリプレーン上を前記列方向に延伸する少なくとも2本のグローバルビット線を備え、前記各グローバルビット線が前記各メモリブロックの1または複数列の前記ビット線と夫々のビット線選択素子を介して接続可能に構成されてなる半導体記憶装置であって、

読み出し動作時に、読み出し対象の選択メモリセルに接続する前記ビット線を前記ビット線選択素子の1つを導通状態にして前記グローバルビット線の1つに接続して、前記選択メモリセルを含む選択メモリブロックを選択するとともに、前記選択メモリブロックとは別のメモリブロック内の1つの前記ビット線を前記ビット線選択素子の他の1つを導通状態にして前記グローバルビット線の他の1つに接続して、前記別のメモリブロックをダミーブロックとして選択するブロック選択回路を備え、

前記ブロック選択回路が、前記1または複数のメモリプレーン内に不良ブロックが含まれる場合に、前記選択ブロックアドレスの各アドレスビットの内の特定の部分ビットを対象とする所定の論理操作によって、前記選択ブロックアドレス及び前記不良ブロックの不良ブロックアドレスの何れとも異なる前記ダミーブロックを選択するためのダミーブロックアドレスを生成することを特徴とする半導体記憶装置。

- [2]      メモリセルを行方向及び列方向に複数アレイ状に配列し、同一列の前記メモリセルを共通のビット線に接続してメモリブロックを形成し、前記メモリブロックを前記列方向に複数配列してなるメモリプレーンを1または複数備え、前記メモリプレーン上を前記列方向に延伸する少なくとも2本のグローバルビット線を備え、前記各グローバルビット線が前記各メモリブロックの1または複数列の前記ビット線と夫々のビット線選択素子を介して接続可能に構成されてなる半導体記憶装置であって、

読み出し動作時に、読み出し対象の選択メモリセルに接続する前記ビット線を前記ビット線選択素子の1つを導通状態にして前記グローバルビット線の1つに接続して、前記選択メモリセルを含む選択メモリブロックを選択するとともに、前記選択メモリブロックとは別のメモリブロック内の1つの前記ビット線を前記ビット線選択素子の他の1つ

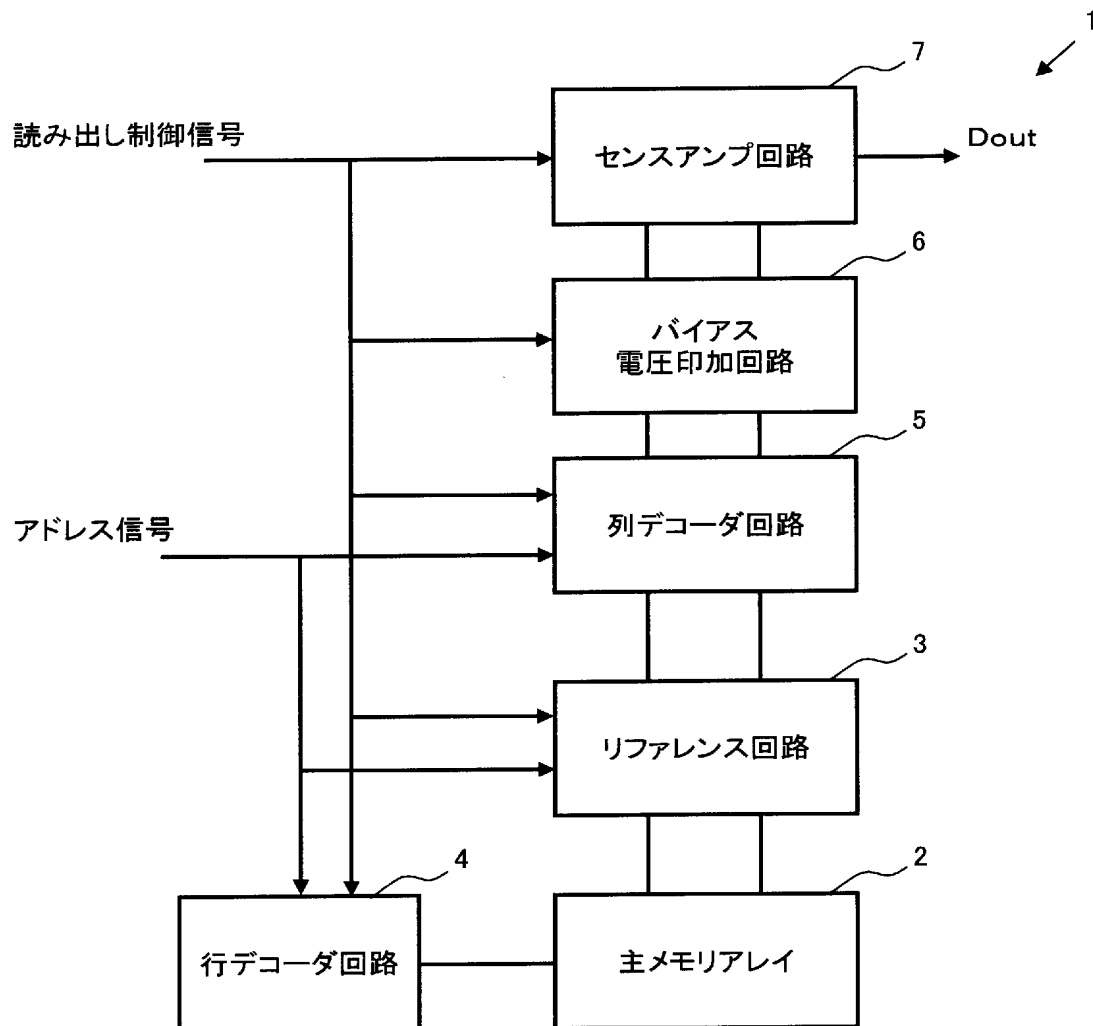
を導通状態にして前記グローバルビット線の他の1つに接続して、前記別のメモリブロックをダミーブロックとして選択するブロック選択回路を備え、

前記ブロック選択回路が、前記選択メモリブロックを含む前記メモリプレーン内に不良ブロックが含まれる場合に、前記選択ブロックアドレスの各アドレスビットの内の特定の部分ビットを対象とする所定の論理操作によって、前記選択ブロックアドレス及び前記不良ブロックの不良ブロックアドレスの何れとも異なる前記ダミーブロックを選択するためのダミーブロックアドレスを生成することを特徴とする半導体記憶装置。

- [3] 前記メモリプレーン内の1つの前記メモリブロックが不良ブロックである場合にブロック単位で冗長ブロックと置換して不良救済可能に構成されていることを特徴とする請求項1または2に記載の半導体記憶装置。
- [4] 前記ブロック選択回路が、前記選択ブロックアドレスの前記特定の部分ビットの1ビット以上を対象として第1の論理操作を行ない、前記ダミーブロックを選択するためのダミーブロックアドレスを生成し、前記第1の論理操作により生成される前記ダミーブロックアドレスが前記不良ブロックアドレスと一致する場合に、前記選択ブロックアドレスの前記特定の部分ビットの他の1ビット以上を対象として第2の論理操作を行ない、前記ダミーブロックアドレスを生成することを特徴とする請求項1または2に記載の半導体記憶装置。
- [5] 前記ダミーブロックアドレスと前記不良ブロックアドレスとの一致は、前記第1の論理操作に係る前記特定の部分ビットの1ビット以上を除く他のアドレスビットを対象として、前記選択ブロックアドレスと前記不良ブロックアドレスとの一致により判定することを特徴とする請求項4に記載の半導体記憶装置。
- [6] 前記ブロック選択回路が、前記選択ブロックアドレスの前記特定の部分ビットの1ビット以上の所定ビットを対象として第1の論理操作を行ない、前記不良ブロックアドレスの前記特定の部分ビットの前記所定ビット以外の1ビット以上を対象として第2の論理操作を行ない、前記ダミーブロックアドレスを生成することを特徴とする請求項1または2に記載の半導体記憶装置。
- [7] 前記部分ビットのビット数が2であることを特徴とする請求項1または2に記載の半導体記憶装置。

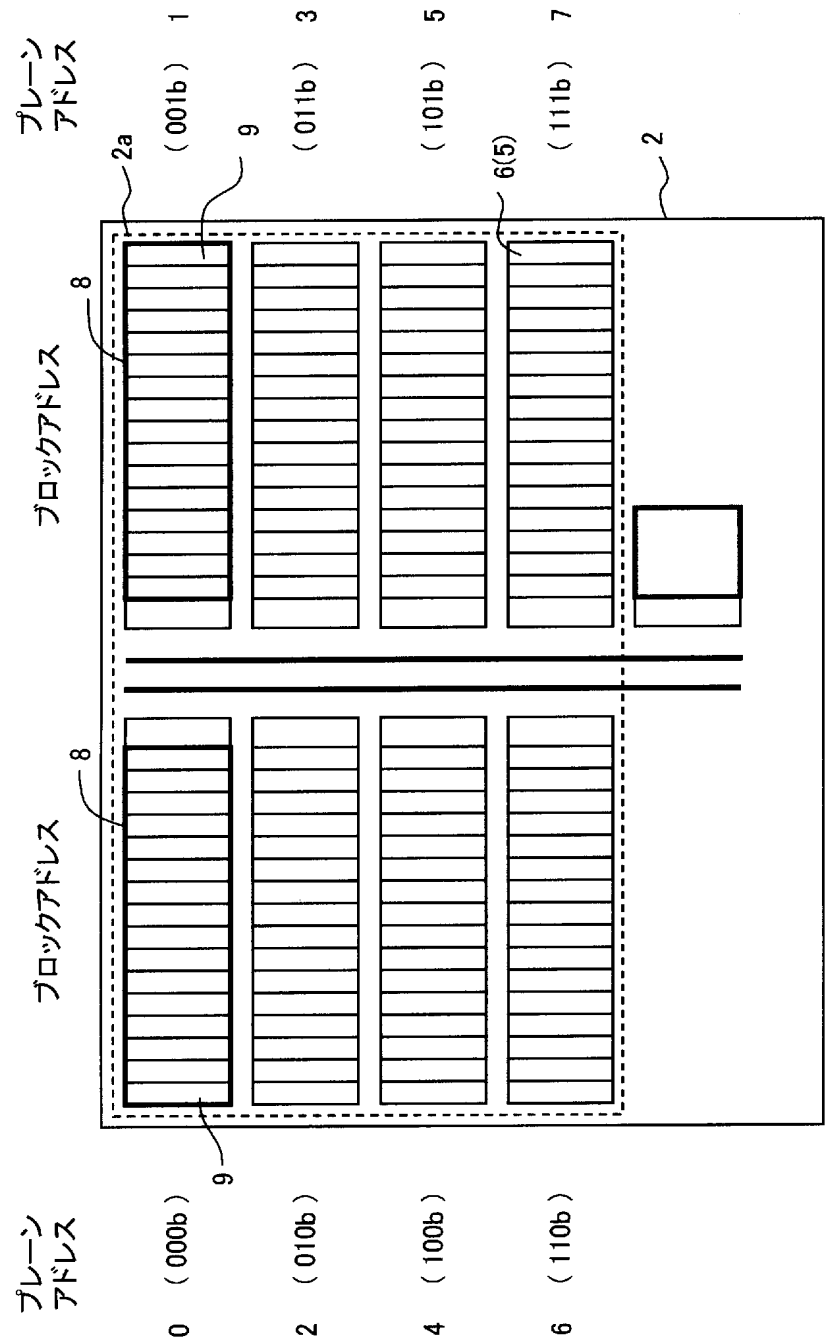
- [8] 前記第1及び第2論理操作がアドレスビットの反転操作であることを特徴とする請求項1または2に記載の半導体記憶装置。
- [9] 前記メモリブロックを選択するブロックアドレスの前記特定の部分ビットの組み合わせで選択される複数のメモリブロックが連続して隣接するサブメモリプレーンを形成することを特徴とする請求項1または2に記載の半導体記憶装置。
- [10] 前記選択メモリブロック内の前記ビット線と接続する前記グローバルビット線の1つが直接或いはグローバルビット線選択素子を介して差動入力型のセンス回路の一方入力側に接続し、前記ダミーブロック内の前記ビット線と接続する前記グローバルビット線の他の1つが直接或いはグローバルビット線選択素子を介して前記センス回路の他方入力側に接続し、  
前記センス回路の入力または前記1対のグローバルビット線の何れか一方にリファレンスメモリセルを選択的に接続させるリファレンス回路を備え、  
読み出し動作時に、前記センス回路の前記ダミーブロック側の入力に前記リファレンスメモリセルが接続されることを特徴とする請求項1または2に記載の半導体記憶装置。

[図1]

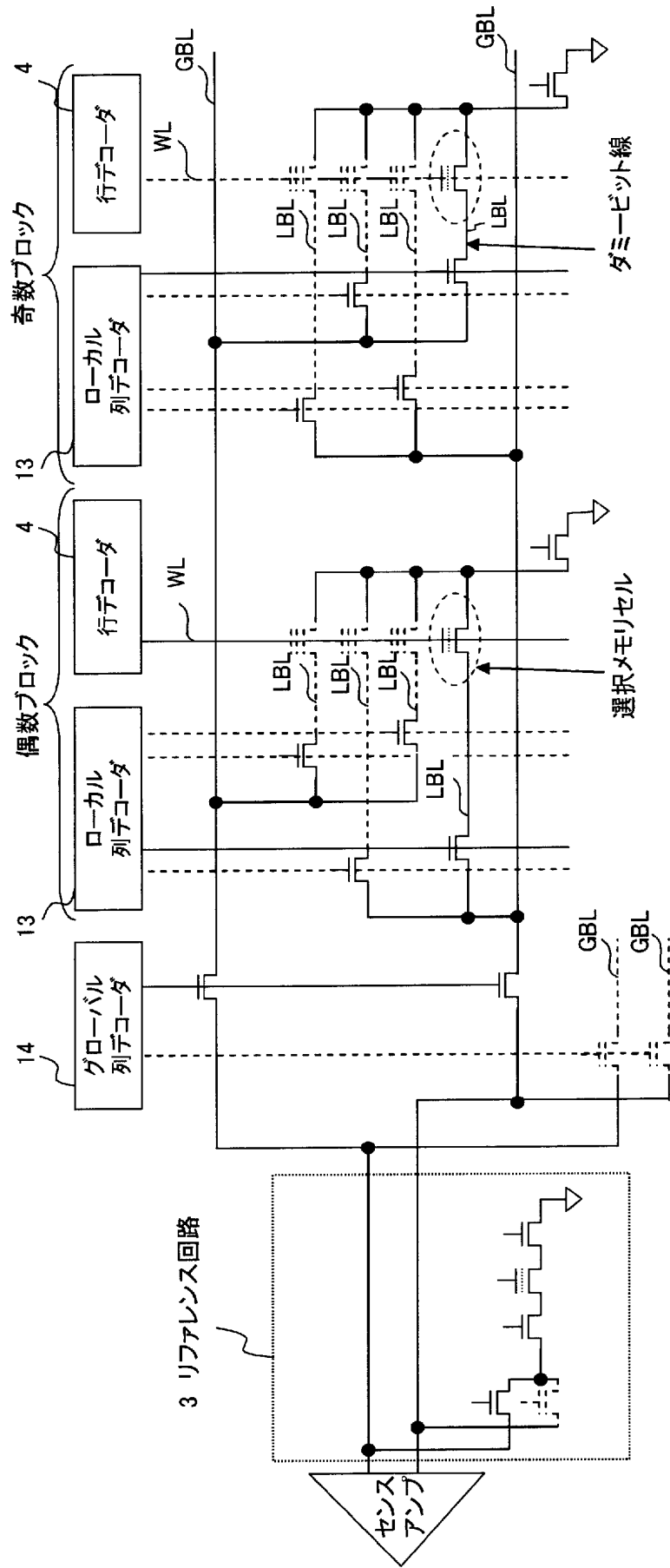




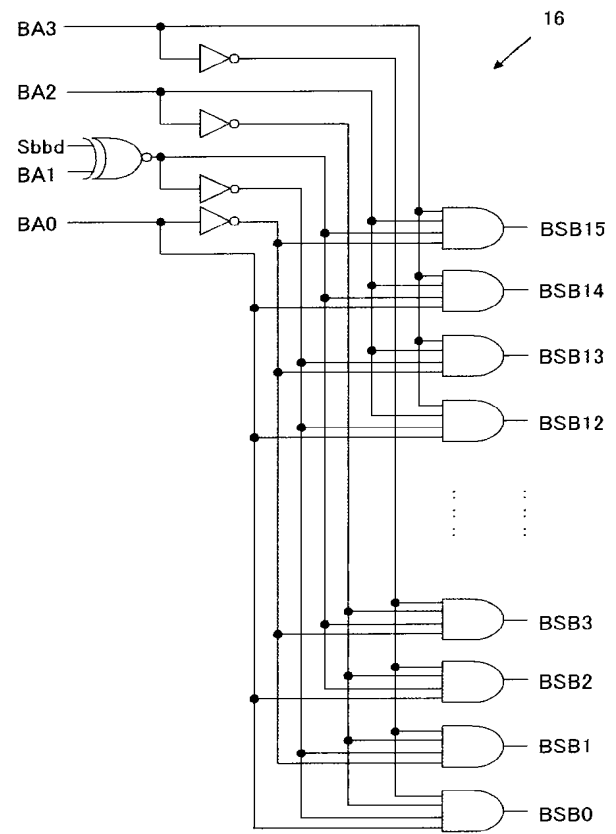
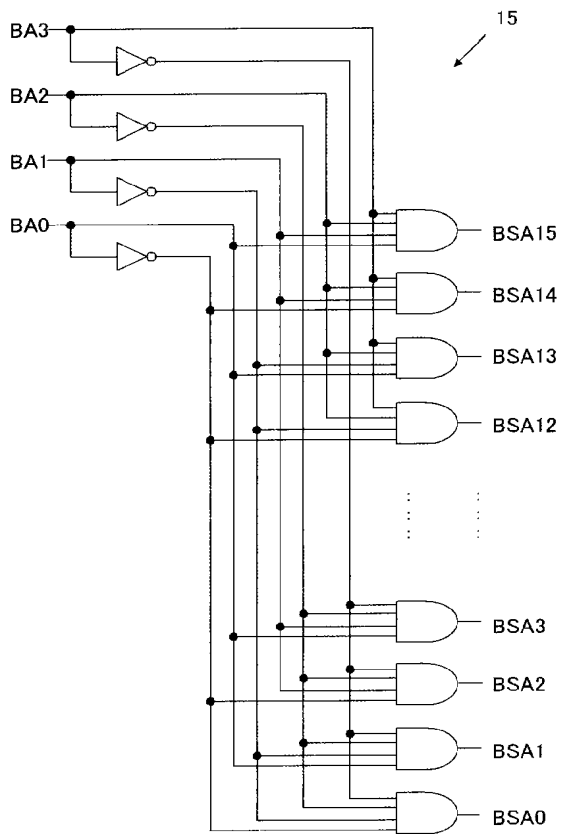
[図2]



[図3]



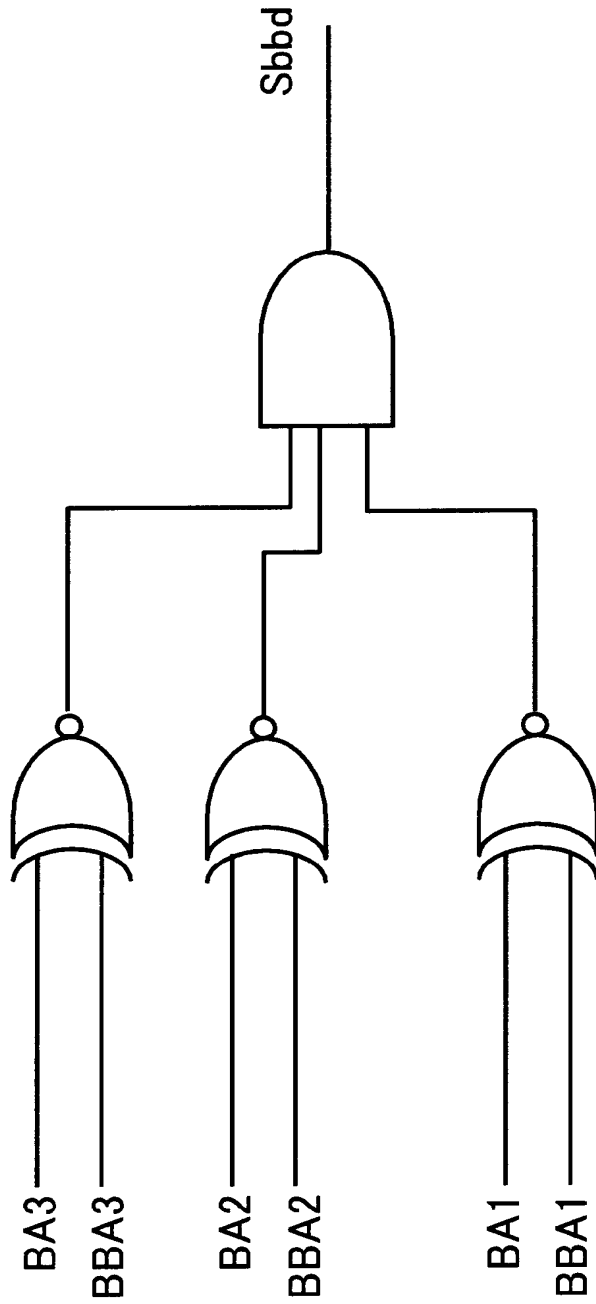
[図4]



[図5]

| BA |   |   |   | BSA | BSB    |        |
|----|---|---|---|-----|--------|--------|
| 3  | 2 | 1 | 0 |     | Sbbs=0 | Sbbs=1 |
| 0  | 0 | 0 | 0 | 0   | 1      | 3      |
| 0  | 0 | 0 | 1 | 1   | 0      | 2      |
| 0  | 0 | 1 | 0 | 2   | 3      | 1      |
| 0  | 0 | 1 | 1 | 3   | 2      | 0      |
| 0  | 1 | 0 | 0 | 4   | 5      | 7      |
| 0  | 1 | 0 | 1 | 5   | 4      | 6      |
| 0  | 1 | 1 | 0 | 6   | 7      | 5      |
| 0  | 1 | 1 | 1 | 7   | 6      | 4      |
| 1  | 0 | 0 | 0 | 8   | 9      | 11     |
| 1  | 0 | 0 | 1 | 9   | 8      | 10     |
| 1  | 0 | 1 | 0 | 10  | 11     | 9      |
| 1  | 0 | 1 | 1 | 11  | 10     | 8      |
| 1  | 1 | 0 | 0 | 12  | 13     | 15     |
| 1  | 1 | 0 | 1 | 13  | 12     | 14     |
| 1  | 1 | 1 | 0 | 14  | 15     | 13     |
| 1  | 1 | 1 | 1 | 15  | 14     | 12     |

[図6]



[図7]

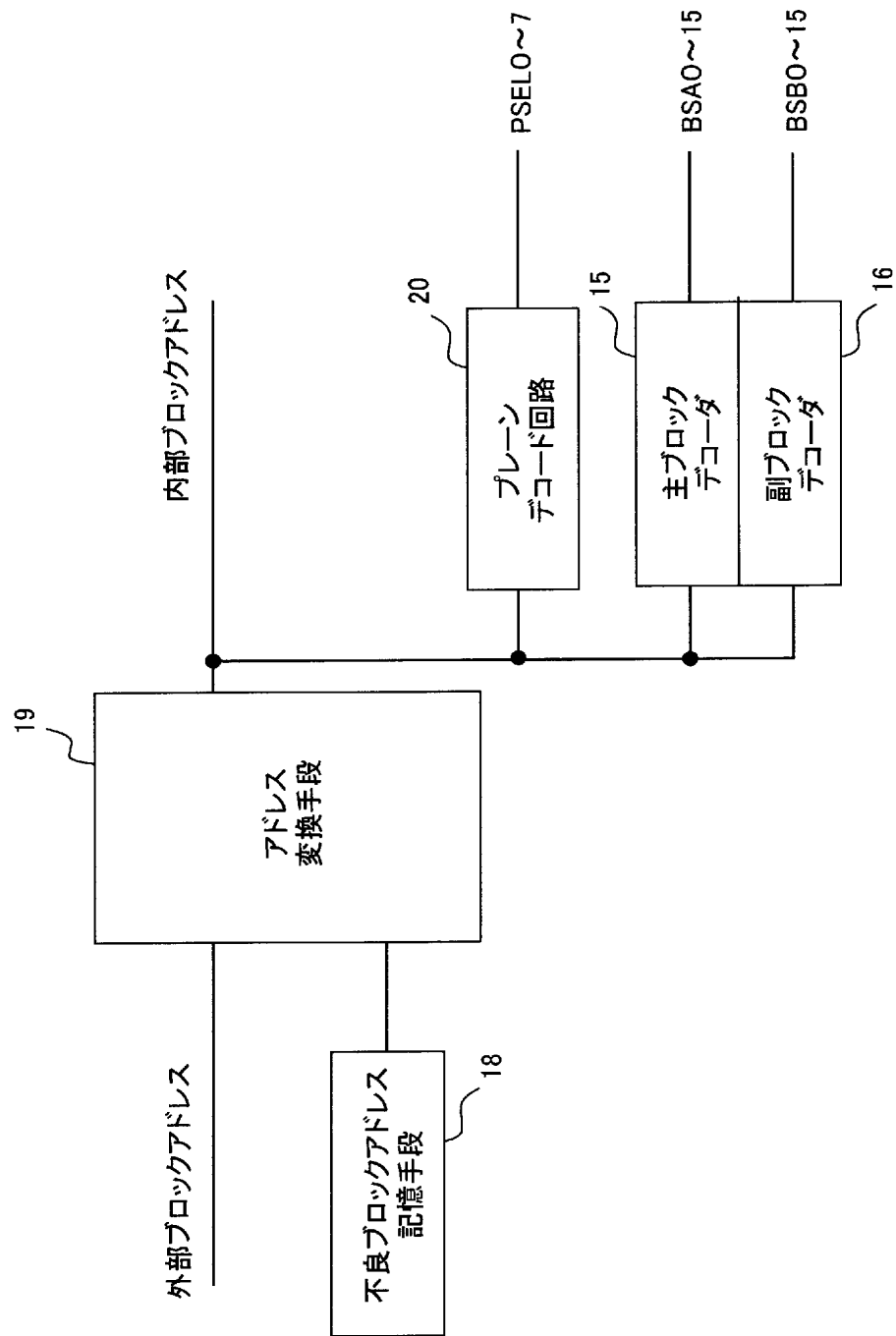
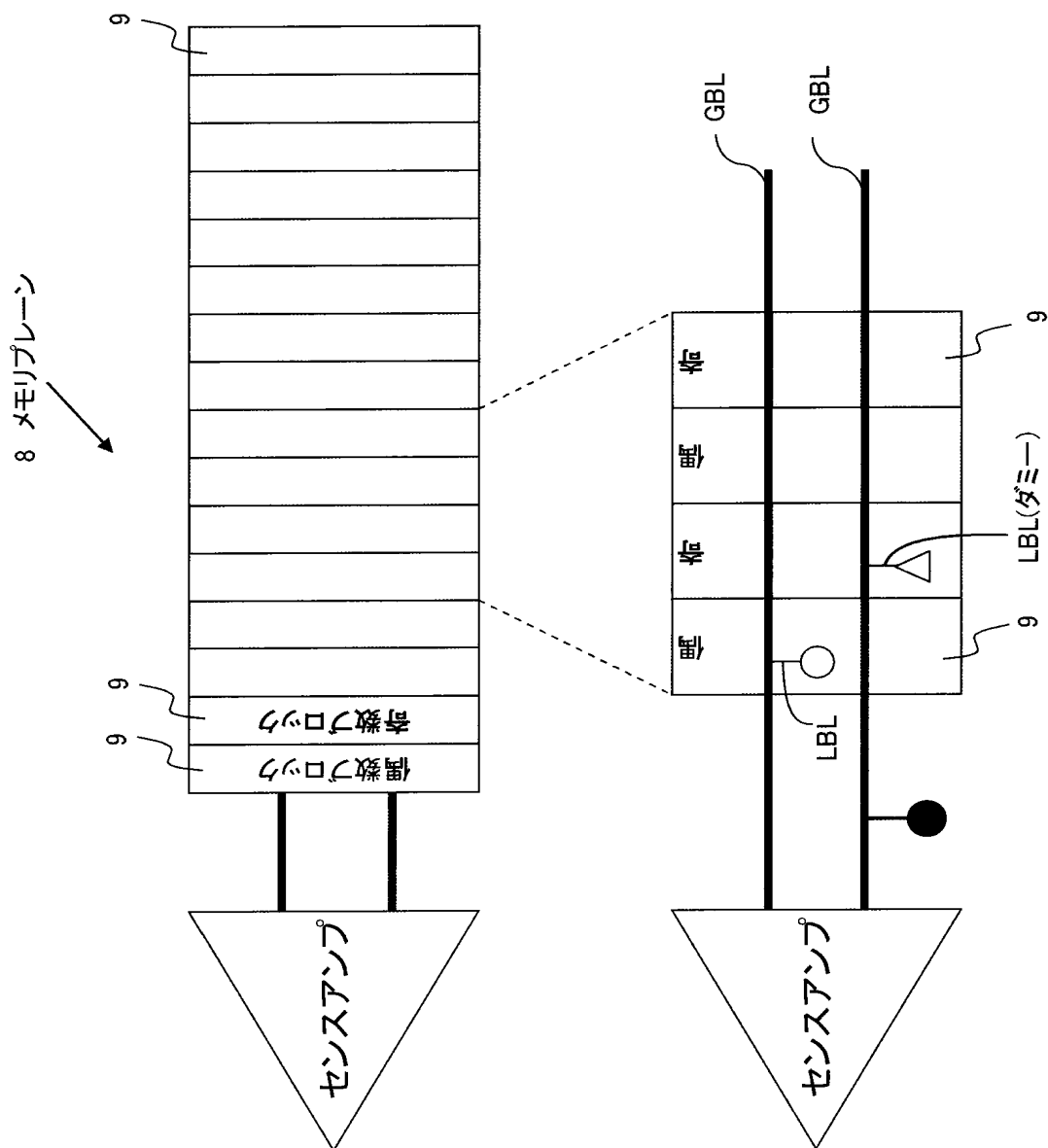


図8



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/001890

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl.<sup>7</sup> G11C29/00, G11C16/28

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl.<sup>7</sup> G11C29/00, G11C16/06-34

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

|                           |           |                            |           |
|---------------------------|-----------|----------------------------|-----------|
| Jitsuyo Shinan Koho       | 1922-1996 | Jitsuyo Shinan Toroku Koho | 1996-2005 |
| Kokai Jitsuyo Shinan Koho | 1971-2005 | Toroku Jitsuyo Shinan Koho | 1994-2005 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages  | Relevant to claim No. |
|-----------|---|-----------------------|
| A         | JP 8-235878 A (Hitachi, Ltd.),<br>13 September, 1996 (13.09.96),<br>Par. Nos. [0059], [0075] to [0079]; Figs. 4, 7<br>& US 5892713 B1 & KR 387970 B | 1-10                  |
| A         | JP 11-191298 A (Hitachi, Ltd.),<br>13 July, 1999 (13.07.99),<br>Full text; Fig. 1<br>& US 6122196 B1 & KR 1999/063272 A                             | 1, 2                  |
| A         | JP 10-083690 A (NEC Corp.),<br>31 March, 1998 (31.03.98),<br>Full text; all drawings<br>(Family: none)  | 1, 2                  |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier application or patent but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&"

document member of the same patent family

Date of the actual completion of the international search  
01 June, 2005 (01.06.05)

Date of mailing of the international search report  
14 June, 2005 (14.06.05)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2005/001890

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                           | Relevant to claim No. |
|-----------|--|-----------------------|
| A         | JP 62-226500 A (Toshiba Corp.),<br>05 October, 1987 (05.10.87),<br>Full text; all drawings<br>(Family: none) | 4-6                   |
| A         | JP 53-000032 A (Fujitsu Ltd.),<br>05 January, 1978 (05.01.78),<br>Full text; all drawings<br>(Family: none)  | 4-6                   |

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> G 1 1 C 2 9 / 0 0, G 1 1 C 1 6 / 2 8

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.<sup>7</sup> G 1 1 C 2 9 / 0 0, G 1 1 C 1 6 / 0 6 - 3 4

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2005年 |
| 日本国実用新案登録公報 | 1996-2005年 |
| 日本国登録実用新案公報 | 1994-2005年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示  | 関連する<br>請求の範囲の番号 |
|-----------------|--|------------------|
| A               | JP 8-235878 A (株式会社日立製作所) 1996. 09. 13<br>段落 0059, 0075-0079, 図面 4, 7 図 & US 5892713 B1<br>& KR 387970 B | 1-10             |
| A               | JP 11-191298 A (株式会社日立製作所) 1999. 07. 13<br>全文, 図面 1 図 & US 6122196 B1 & KR 1999/063272 A                 | 1, 2             |
| A               | JP 10-083690 A (日本電気株式会社) 1998. 03. 31<br>全文, 全図 (ファミリーなし)   | 1, 2             |

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
「O」 口頭による開示、使用、展示等に言及する文献  
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

01. 06. 2005

国際調査報告の発送日

14. 6. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

飯田 清司

電話番号 03-3581-1101 内線 3586

5N

8731

| C (続き) . 関連すると認められる文献 |   |                  |
|-----------------------|---|------------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                         | 関連する<br>請求の範囲の番号 |
| A                     | JP 62-226500 A (株式会社東芝) 1987. 10. 05<br>全文, 全図 (ファミリーなし)  | 4-6              |
| A                     | JP 53-000032 A (富士通株式会社) 1978. 01. 05<br>全文, 全図 (ファミリーなし) | 4-6              |